

#2/Priority
3/27/01
Dkang

JC893 U.S. PTO
09/691456
10/18/00

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Hisamitsu SUZUKI

Filed : Concurrently herewith

For : SHALLOW TRENCH ISOLATION STRUCTURE FOR
A BIPOLAR TRANSISTOR

Serial No. : Concurrently herewith

October 18, 2000

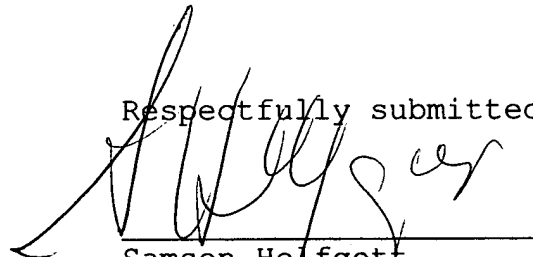
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
11-294885 of October 18, 1999 whose priority has been claimed in
the present application.

Respectfully submitted


Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:NECN17.893
LHH:priority

Filed Via Express Mail
Rec. No.: EL522394780US
On: October 18, 2000
By: Lydia Gonzalez
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC893 U.S. PRO
09/691456
10/18/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年10月18日

出 願 番 号
Application Number:

平成11年特許願第294885号

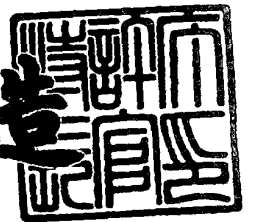
出 願 人
Applicant(s):

日本電気株式会社

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3056087

【書類名】 特許願

【整理番号】 74111943

【提出日】 平成11年10月18日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/76

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 鈴木 久満

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100096231

 【弁理士】

 【氏名又は名称】 稲垣 清

 【電話番号】 03-5295-0851

【手数料の表示】

 【予納台帳番号】 029388

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9303567

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 浅溝型素子分離構造によって素子分離されたバイポーラトランジスタをシリコン基板に備えた半導体装置において、

バイポーラトランジスタを素子分離する浅溝型素子分離構造が、バイポーラトランジスタのコレクタを構成するコレクタ・ウエルの領域を区画する第 1 の浅溝型素子分離溝と、第 1 の素子分離溝の外側に、順次、離隔して設けられた少なくとも 1 本の第 2 の浅溝型素子分離溝とを有し、

コレクタ・ウエルと反対の導電型の環状 p n 分離用ウエルが、第 1 の素子分離溝からその外側の第 2 の素子分離溝まで全間隔にわたり及び外側の第 2 の素子分離溝から更に外側の第 2 の素子分離溝まで全間隔にわたり、ウエル・コレクタの周囲を連続して、又は断続して取り囲んでシリコン基板に設けられていることを特徴とする半導体装置。

【請求項 2】 ベース電極及びコレクタ電極に形成されたシリサイド層と同じ構成のシリサイド層が p n 分離用ウエル上に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 B i C M O S として構成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 シリコン基板が p 型基板であり、かつバイポーラトランジスタが N P N バイポーラトランジスタであることを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載の半導体装置。

【請求項 5】 シリコン基板が p 型基板であり、かつバイポーラトランジスタがコレクタ・ウエルとして p 型ウエルを有する P N P バイポーラトランジスタであって、

p 型ウエルを取り囲む n 型ウエルを

備え、p n 分離用 p 型ウエルが n 型ウエルを取り囲んでいることを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、浅溝型素子分離構造によって素子分離されたバイポーラトランジスタをシリコン基板に備えた半導体装置に関し、更に詳細には、ディッシングしていない浅溝型素子分離構造を備えた半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

バイポーラトランジスタは、MOSFETに比べて、構造や製造方法がやや複雑であるものの、高速動作性、重負荷駆動能力及び低雑音性に優れたトランジスタであって、半導体装置の集積回路を構成する重要な一つの構成要素として多用されている。

例えば、バイポーラトランジスタとCMOSとを複合化したBiCMOSは、バイポーラトランジスタの長所とCMOSの長所とを兼ね備えた優れた半導体装置として広く利用されている。

【 0 0 0 3 】

ここで、図10及び図11を参照して、素子分離構造としてLOCOS（熱酸化膜）を使った従来のバイポーラトランジスタを備える半導体装置の構成を説明する。図10はNPNバイポーラトランジスタの平面図、及び図11は図10の線I-Iでの断面図である。

半導体装置100は、図10及び図11に示すように、一つのp型シリコン基板102に設けられ、相互に同じ構成を有する2個のNPNバイポーラトランジスタ104A、Bで構成されていて、2個のNPNバイポーラトランジスタ104A、Bの各部位は、2個のコレクタ領域を中心にして相互に対称的に配置されている。尚、2個のNPNバイポーラトランジスタ102A、Bの同じ部位には同じ符号を付け、添字のA、Bでそれぞれ区別している。

【 0 0 0 4 】

2個のNPNバイポーラトランジスタ104A、Bは、それぞれ、LOCOS106によって区画されたシリコン基板102の素子形成領域に、コレクタを構成するn型ウエル107A、Bと、n型ウエル107A、Bの上部に形成された

p 領域からなるベース領域 108 A、B と、ベース領域 108 A、B の上部に形成された n^+ 領域からなるエミッタ領域 110 A、B と、エミッタ領域 110 A、B の周りのベース領域 108 A、B に設けられた、 p^+ 領域からなるベース電極引き出し領域 112 A、B とを備えている。

また、n 型ウエル 107 A、B の上部には、LOCOS 106 によってベース電極引き出し領域 112 A、B から電氣的に分離された、 n^+ 領域からなるコレクタ電極引き出し領域 114 A、B が形成されている。逆に言えば、ベース領域 108 A、B、エミッタ領域 110 A、B、ベース電極引き出し領域 112 A、B は、LOCOS 106 によってコレクタ電極引き出し領域 114 A、B から電氣的に分離されている。

【0005】

ベース電極引き出し領域 112 A、B、エミッタ領域 110 A、B 及びコレクタ電極引き出し領域 114 A、B には、それぞれ、ベース電極 116 A、B、エミッタ電極 118 A、B、及びコレクタ電極 120 A、B が設けてある。

ベース電極 116 A、B 及びコレクタ電極 120 A、B は、それぞれ、 $CoSi_2$ 、 $TiSi_2$ 等のシリサイド層で形成され、エミッタ電極 118 A、B は、ポリシリコン層 118 a とシリコン酸化膜 118 b の 2 層構造で形成され、2 層構造の周りにシリコン酸化膜からなるサイドウォール 118 c が形成されている。

【0006】

そして、コレクタ電極引き出し領域 114 A、B を他の領域から分離する LOCOS 106 の部分を除いて、LOCOS 106 下には、n 型ウエル 107 A、B 同士を pn 接合分離のための p 型ウエル 122 が、n 型ウエル 107 A、B をそれぞれ取り囲むように形成されている。

【0007】

ところで、半導体装置の微細化及び高集積化が進むとともに、半導体装置を構成するバイポーラトランジスタ、MOSFET 等のトランジスタ素子の微細化が要求されている。そのためには、素子分離領域を微細化することも必要であって、従来の LOCOS ではバースピークの存在が無視できず、素子分離領域の微細

化に制約が生じていた。

そこで、従来のLOCOSによる素子分離に代えて素子分離溝によるSTI (shallow Trench Isolation、浅溝型素子分離) が注目を集めている。

【0008】

ここで、図12及び図13を参照して、STIによる素子分離法について説明する。図12(a)から(c)及び図13(d)から(f)は、それぞれ、STIにより素子分離する際の各工程の基板断面図である。

先ず、図12(a)に示すように、シリコン基板130上に薄い SiO_2 膜(図示せず)を形成した後、CVD法により Si_3N_4 膜132を成膜する。

次いで、フォトリソ膜を Si_3N_4 膜132上に成膜し、パターニングして素子分離溝の開口パターンを有するエッチングマスク134を形成する。続いてエッチングマスク134を使って Si_3N_4 膜132をエッチングし、図12(b)に示すように、 Si_3N_4 膜からなるハードマスク136を形成する。薄い SiO_2 膜(図示せず)は、 Si_3N_4 膜132のストレスによりシリコン基板130の主面に欠陥が発生するのを防止するために成膜される。

続いて、ハードマスク136を使ったドライエッチング法によって、シリコン基板130をエッチングして、図12(c)に示すように、溝138を形成する。

【0009】

次いで、図13(d)に示すように、ハードマスク136上を含めて、シリコン基板130上に絶縁膜、例えば SiO_2 膜140を成膜し、溝138を埋め込む。また、TEOSを用いたCVD法により、TEOS- SiO_2 膜を成膜しても良い。

続いて、図13(e)に示すように、CMP法により、 SiO_2 膜140を研磨し、 Si_3N_4 膜132からなるハードマスク136を露出させる。 Si_3N_4 膜は、CMP研磨速度が SiO_2 膜に比べて遅いので、研磨ストリッパとして機能する。

次いで、図13(f)に示すように、ハードマスク136の Si_3N_4 膜136をエッチングして除去し、素子分離溝142で分離された素子形成領域144

を形成する。

【0010】

【発明が解決しようとする課題】

ところで、近年、携帯電話等でアナログ信号回路／デジタル信号回路を混載した混載LSIが用いられている。一般に、アナログ信号回路を形成した領域では、デジタル信号回路を形成した領域に比べて、回路を構成するトランジスタ素子の構成数が少なく、かつトランジスタ素子が孤立し、分散して配置されている。そして、近年の微細LSIでは、素子分離領域にはSTIが用いられ、しかもSTIの形成には、研磨にCMPが、通常、使用されている。

【0011】

しかし、CMPの研磨レートは下地パターン密度に大きく依存している。つまり、CMPは、研磨対象でないシリコン基板の凸パターンの密度が高い領域では、研磨レートが低く、アナログ信号回路を形成した領域のように、凸パターンの密度が低い領域では、研磨レートが高いという研磨特性を有する。

そのために、CMP法を使って絶縁膜を研磨してSTIを形成する従来の浅溝型素子分離法では、シリコン基板の凸パターン密度が低い領域、例えば素子分離領域に、図14(a)に示すように、研磨による凹み(Dishing : ディッシング)が発生する。その結果、 Si_3N_4 膜を除去した後は、図14(b)に示すように、凸パターン密度が低い領域、例えば素子分離領域が、他の領域、例えば素子形成領域に比べて一段低くなるという問題があった。

【0012】

そのために、前述した図11のNPNバイポーラトランジスタ104では、図15(a)に示すように、シリサイド層をSi基板表面に形成するために、拡散層の表面上の酸化膜を完全に除去するので、この際に、凹んだSTI106の側縁で、 p^+ 領域からなるベース引き出し領域112の下側のn型ウエル107が一部露出する。

その結果、ベース電極引き出し領域112上に CoSi_2 等のシリサイドからなるベース電極116を形成した際、ディッシング量が大きくなればなるほど、ベース電極層116がn型ウエル107に短絡するため、製品歩留りが低下する

という問題を招いていた。

【0013】

また、MOSFETでは、図15(b)では、ゲート電極が凹んだSTIの側縁を跨がって形成された時には、側縁に寄生トランジスタが形成され、トランジスタ特性に好ましくない影響を与える。

【0014】

そこで、本発明の目的は、浅溝型素子分離構造により素子分離した半導体装置であって、ディッシングが素子分離領域に生じないような構成を備えた半導体装置を提供することである。

【0015】

【課題を解決するための手段】

本発明者は、CMPによる研磨では、研磨レートが下地パターンに依存していて、素子分離溝と素子分離溝との間に存在するシリコン基板の凸パターンの密度が低い素子分離領域でディッシングが生じることに注目し、素子分離領域で凸パターンの密度を高くする、換言すれば狭幅の素子分離溝を小さいピッチで多数本形成することを着想した。

【0016】

ところで、特開平10-173035号公報には、STIによる素子分離領域でディッシングが生じないようにするために、素子分離領域に延在する広幅のSTIに代えて、STIの幅が素子形成領域に設けるSTIとほぼ同じ幅の細い多数本のSTIを設け、STIの間をダミー拡散層にする試みが提案されている。

例えば、MOSFETの素子分離領域を、図16に示すように、狭幅の3本のSTIと、STI間のダミー拡散層とから構成することにより、STIが素子形成領域と同等の密度で素子分離領域に形成されているので、素子分離領域のSTIにはディッシングが生じないとしている。

【0017】

そこで、例えば前述の半導体装置100のLOCOS106に代えてSTIを使用し、かつ前掲公報に記載の方法を適用する。

即ち、図17及び図18に示すように、コレクタ電極引き出し領域112A、

Bの間に介在するLOCOS106に代えて、相互に離隔した2本の狭幅のSTI130A、Bと、その間に形成されたダミー拡散層132と、ベース電極等としてシリサイド層を形成した際に同時ダミー拡散層上に形成されたシリサイド層134とから構成され、ダミー拡散層132がn型ウエル107A、Bをpn分離するp型ウエルとして機能する。

【0018】

しかし、図17に示すように、2本のSTI130A、Bの間に全面に形成されたシリサイド層134を介して、n型ウエル107A、Bとダミー拡散層132とが短絡する、或いはn型ウエル107Aとn型ウエル107Bとが短絡するという問題が生じる。

従って、ウエルとダミー拡散層との短絡、更にはウエル同士の短絡を防止するようにすることが重要である。

【0019】

そこで、本発明に係る半導体装置は、上記目的を達成するために、浅溝型素子分離構造によって素子分離されたバイポーラトランジスタをシリコン基板に備えた半導体装置において、

バイポーラトランジスタを素子分離する浅溝型素子分離構造が、バイポーラトランジスタのコレクタを構成するコレクタ・ウエルの領域を区画する第1の浅溝型素子分離溝と、第1の素子分離溝の外側に、順次、離隔して設けられた少なくとも1本の第2の浅溝型素子分離溝とを有し、

コレクタ・ウエルと反対の導電型の環状pn分離用ウエルが、第1の素子分離溝からその外側の第2の素子分離溝まで全間隔にわたり及び外側の第2の素子分離溝から更に外側の第2の素子分離溝まで全間隔にわたり、ウエル・コレクタの周囲を連続して、又は断続して取り囲んでシリコン基板に設けられていることを特徴としている。

【0020】

本発明で、一のバイポーラトランジスタの第1の浅溝型素子分離溝と、一のバイポーラトランジスタに隣合うバイポーラトランジスタ又は他のトランジスタ素子の第1の浅溝型素子分離溝との間の面積Sと、面積S内の環状pn分離用ウエ

ルの総面積 W との比率、即ち $W \times 100 / S$ を凸パターンの密度（％）とすると、凸パターンの密度は高い方が好ましく、例えば 15％以上が好ましく、また、第 2 の浅溝型素子分離溝同士の間隔、即ち $p-n$ 分離用ウエルの幅は狭い、例えば $50 \mu m$ 以下の方が好ましい。

【 0 0 2 1 】

本発明では、間隔を狭くした複数本の狭幅の第 2 の素子分離溝を素子分離領域に設けることにより、素子分離溝を埋める絶縁膜を研磨する際のディッシングを防止し、かつ素子分離溝と素子分離溝との間の全間隔にわたり $p-n$ 分離用ウエルを形成することにより、ウエルの深さ方向の電気的分離を確実にしている。

【 0 0 2 2 】

本発明の半導体装置は、浅溝型素子分離構造によって素子分離されたバイポーラトランジスタをシリコン基板に備えた半導体装置である限り構成に制約なく適用できるが、特に、作製上の便宜から、ベース電極及びコレクタ電極を形成したシリサイド層と同じ構成のシリサイド層が $p-n$ 分離用ウエル上に形成される半導体装置に好適に適用できる。

本発明では、素子分離溝から素子分離溝まで全間隔にわたり $p-n$ 分離用ウエルが形成されているので、 $p-n$ 分離用ウエル上にシリサイド層を形成しても、従来の方法のようにウエル同士の間でシリサイド層を介した短絡が発生しないからである。

【 0 0 2 3 】

例えば、本発明に係る半導体装置は、BiCMOSとして構成されていても良く、更には、シリコン基板が p 型基板であり、かつバイポーラトランジスタがNPNバイポーラトランジスタであっても、また、シリコン基板が p 型基板であり、かつバイポーラトランジスタがPNPバイポーラトランジスタであって、コレクタ・ウエルを構成する p 型ウエルを取り囲む n 型ウエルを備え、 $p-n$ 分離用の p 型ウエルが n 型ウエルを取り囲んでいるようにしても良い。

【 0 0 2 4 】

【発明の実施の形態】

以下に、添付図面を参照し、実施例を挙げて本発明の実施の形態を具体的かつ

詳細に説明する。

実施形態例 1

本実施形態例は、本発明に係る半導体装置の実施形態の一例であって、図 1 は本実施形態例の半導体装置の要部、即ち NPN バイポーラトランジスタの構成を示す平面図、図 2 は半導体装置の断面図である。

本実施形態例の半導体装置 10 は、BiCMOS トランジスタであって、図 2 に示すように、NPN バイポーラトランジスタ 12 と、n チャネル MOSFET 14 と、p チャネル MOSFET 16 とを同一の p 型シリコン基板 18 に備えている。

本半導体装置 10 では、NPN バイポーラトランジスタ 12 と、n チャネル MOSFET 14 及び p チャネル MOSFET 16 の CMOS とを素子分離する浅溝型素子分離構造は、図 1 及び図 2 に示すように、2 本の環状 STI、即ちシリコン基板 18 に設けられた溝を絶縁膜、例えばシリコン酸化膜で埋めた共通の第 1 の環状 STI 20a 及び第 2 の環状 STI 20b によって構成されている。

換言すれば、NPN バイポーラトランジスタ 12 と、n チャネル MOSFET 14 及び p チャネル MOSFET 16 の CMOS とは、それぞれ、共通の第 1 の環状 STI 20a 及び第 2 の環状 STI 20b によって区画された素子形成領域内に形成されている。

【0025】

本実施形態例では、第 1 の環状 STI 20a 及び第 2 の環状 STI 20b の幅は、トランジスタ素子のレイアウトに依存するが、好適には、 $0.1\mu\text{m}$ から $10\mu\text{m}$ 程度である。

【0026】

NPN バイポーラトランジスタ 12 を素子分離する浅溝型素子分離構造は、NPN バイポーラトランジスタ 12 のコレクタを構成する n 型ウエル 22 (コレクタ・ウエル 22) の領域を区画する第 1 の STI 20a とその外周の第 2 の STI 20b とで構成されている。

そして、第 1 の環状 STI 20a からその外側の第 2 の環状 STI 20b までの全領域にわたるシリコン基板 18 には、pn 接合分離の拡散層として機能する

環状 p 型ウエル 21 が、コレクタ・ウエル 22 の周囲を取り囲むように形成されている。

第 1 の STI 20 a で区画された素子形成領域には、n 型ウエル 22 (コレクタ・ウエル 22) と、n 型ウエル 22 の上部に形成された p 領域からなるベース領域 24 と、ベース領域 24 の上部に形成された n^+ 領域からなるエミッタ領域 26 と、エミッタ領域 26 の周りのベース領域 24 に設けられ、 p^+ 領域からなるベース電極引き出し領域 28 とが形成されている。

【0027】

また、n 型ウエル 22 の上縁部には、 n^+ 領域からなるコレクタ電極引き出し領域 32 が形成され、かつ第 1 の STI 20 a の内側に延在する内側 STI 30 によってベース領域 24、エミッタ領域 26、ベース電極引き出し領域 28 から電氣的に分離されている。

【0028】

ベース電極引き出し領域 28、エミッタ領域 26 及びコレクタ電極引き出し領域 32 には、それぞれ、ベース電極 34、エミッタ電極 36 及びコレクタ電極 38 が設けられている。

ベース電極 34 及びコレクタ電極 38 は、それぞれ、 $CoSi_2$ 、 $TiSi_2$ 等のシリサイド層で形成されている。エミッタ電極 36 は、ポリシリコン層 36 a とシリコン酸化膜 36 b の 2 層構造で形成され、2 層構造の周りにシリコン酸化膜からなるサイドウォール 36 c を備えている。

また、第 1 の STI 20 a と第 2 の STI 20 b との間の p 型ウエル 21 の上面には、ベース電極 34 及びコレクタ電極 38 と同じシリサイド層 39 が、ダミーとして全面に形成されている。

尚、図示していないが、p 型ウエル 21 の上面に p^+ 領域が形成され、その上にシリサイド層 39 が形成された構成となっても良い。

【0029】

n チャネル MOSFET 14 及び p チャネル MOSFET 16 は、第 1 の STI 20 a 及び第 2 の STI 20 b によって NPN バイポーラトランジスタ 12 から素子分離された素子形成領域内に形成された既知の構成の LDD 型 MOSFE

Tである。

【0030】

nチャネルMOSFET 14は、p型ウエル40上にゲート酸化膜42を介して設けられたゲート電極44と、p型ウエル40の上部のゲート電極44の両脇に設けられた n^+ 領域のソース/ドレイン領域46とを有する。

ゲート電極44は、ポリシリコン層44aと、ポリシリコン層44a上に形成されたシリサイド層44bとの2層構造として形成され、2層構造の周りにサイドウォール44cを備えている。

また、ソース/ドレイン領域46上には、シリサイド層からなるソース/ドレイン電極47が形成されている。

【0031】

pチャネルMOSFET 16は、nチャネルMOSFET 14とは内側STI 30によって分離され、n型ウエル48上にゲート酸化膜42を介して設けられたゲート電極50と、n型ウエル48の上部のゲート電極50の両脇に設けられた p^+ 領域のソース/ドレイン領域52とを有する。

ゲート電極50は、ポリシリコン層50aと、ポリシリコン層50a上に形成されたシリサイド層50bとの2層構造として形成され、2層構造の周りにサイドウォール50cを備えている。

また、ソース/ドレイン領域52上には、シリサイド層からなるソース/ドレイン電極53が形成されている。

【0032】

次に、図3及び図4を参照して、半導体装置10の作製方法を説明する。図3(a)から(c)及び図4(d)から(f)は、それぞれ、半導体装置10を作製する際の工程毎の断面図である。

まず、p型シリコン基板18に第1のSTI 20a及び第2のSTI 20b並びに内側STI 30を形成し、次いでシリコン基板18にイオン注入して、図3(a)に示すように、第1のSTI 20aと第2のSTI 20bとの間のシリコン基板18にp型ウエル21を、nチャネルMOSFET 14の素子形成領域にp型ウエル40を、及びpチャネルMOSFET 16の素子形成領域にn型ウエ

ル 48 を形成する。

イオン注入に当たっては、既知の高エネルギー注入法を用いて、n 型不純物としてリン (P) を使ったときには、400~800 KeV の注入エネルギーで、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量を注入する。また、p 型不純物としてボロンを使ったときには、150~400 KeV の注入エネルギーで、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量を注入する。

【0033】

次に、図 3 (b) に示すように、シリコン基板 18 上に、膜厚 2~4 nm のゲート酸化膜 42、及び膜厚 10~25 nm のポリシリコン層 56 を形成する。ポリシリコンに代えて、例えば、アモルファスシリコン、又は、リン、ヒ素、もしくはボロンを含んだアモルファスシリコン等を使うこともできる。

【0034】

次に、図 3 (c) に示すように、ポリシリコン層 56 をパターニングして、ゲート電極 44 及び 50 を形成し、次いで基板面にイオン注入して n 型拡散層領域 46a 及び p 型拡散層領域 56a をゲート電極 44、50 に対して自己整合的に形成する。

更に、400~1000 KeV の注入エネルギーで $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のリン (P) をイオン注入して、NPN バイポーラトランジスタ 12 の形成領域に n 型ウェル領域 22 を形成し、続いて、数百~4 KeV の注入エネルギーで、 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のボロン (B)、又は 1~15 KeV の注入エネルギーで $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量の BF_2 をイオン注入して、真性ベース領域 24 をそれぞれ形成する。

【0035】

次に、図 4 (d) に示すように、基板全面に膜厚 20~80 nm の第 1 の LD 酸化膜 58 を成膜し、次いでエミッタ開口のための窓 60 を開口する。続いて膜厚 150~300 nm のポリシリコン層を成膜し、更にポリシリコン層上に膜厚 100~200 nm のシリコン酸化膜を成長し、フォトリソグラフィ技術によってパターニングして、ポリシリコン層 36a 及びシリコン酸化膜 36b からなるエミッタ電極 36 を形成する。尚、ポリシリコン層に代えて、例えば、アモ

ルファスシリコン、及び、リン、ヒ素を含んだアモルファスシリコン等を成膜しても良い。

【0036】

次に、基板全面に膜厚40～100nmの第2のLDD酸化膜（図示せず）を成膜し、既知の異方性エッチングに行って、図4（e）に示すように、ゲート電極44、50の側壁に第1のLDD酸化膜58と第2のLDD酸化膜からなるサイドウォール44c、50cを形成し、エミッタ電極36の側壁に第2のLDD酸化膜からなるサイドウォール36cを形成する。

次いで、基板面に順次イオン注入して、図4（e）に示すように、高濃度n型拡散層領域46、高濃度p型拡散層領域52、及び高濃度p型拡散層領域28サイドウォール44c、50c、36cに対し自己整合的に形成する。また、高濃度n型拡散層領域32を形成する。続いて、RTAを施して、エミッタ電極36のポリシリコン層36aに含まれた不純物を拡散することによりポリシリコン層36a下に高濃度n型拡散層領域26を形成する。

【0037】

次に、基板全面に膜厚5～20nmのコバルトをスパッタした後、基板面のシリコン層とコバルトとを反応させてコバルトシリサイド（ CoSi_2 ）層を形成する。これにより、図4（f）に示すように、nチャネルMOSFET14のソース／ドレイン領域46及びゲート電極44、pチャネルMOSFET16のソース／ドレイン領域52及びゲート電極50、並びにNPNバイポーラトランジスタ12のベース電極引き出し領域28及びコレクタ電極引き出し領域32に、それぞれ、コバルトシリサイドからなる電極47、44a、53、50a、34、及び38を形成する。

【0038】

本実施形態例では、狭幅の第1のSTI20a及び第2のSTI20bとが狭い間隔で形成されているので、第1のSTI20a及び第2のSTI20bを埋めた絶縁体をCPMする際に、従来のように、ディッシングが生じない。

【0039】

実施形態例2

本実施形態例は、本発明に係る半導体装置の実施形態の別の例であって、図 5 は本実施形態例の半導体装置の平面図、及び図 6 は半導体装置の断面図である。図 5 及び図 6 中、図 1 及び図 2 と同じ部位には同じ符号を付して、その説明を省略する。

本実施形態例の半導体装置 7 0 は、各部位を相互に対称的に配置した、同じ構成の 2 個の NPN バイポーラトランジスタ 7 2 A、B で構成されている。

2 個の NPN バイポーラトランジスタ 7 2 A、B は、それぞれ、図 5 及び図 6 に示すように、実施形態例 1 の半導体装置 1 0 の NPN バイポーラトランジスタ 1 2 と同じ構成を備え、かつ実施形態例 1 の半導体装置 1 0 の浅溝型素子分離構造と同じ構成の第 1 の STI 2 0 a 及び第 2 の STI 2 0 b と、それらの間に設けられた p n 分離用の p 型ウエル 2 1 で素子分離されている。尚、それぞれの部位には A、B を付けて区別している。

【 0 0 4 0 】

実施形態例 3

本実施形態例は、本発明に係る半導体装置の実施形態の更に別の例であって、図 7 は本実施形態例の半導体装置の平面図、及び図 8 は半導体装置の断面図である。

本実施形態例の半導体装置 7 4 は、PNP バイポーラトランジスタを要部として備える半導体装置であって、図 7 及び図 8 に示すように、浅溝型素子分離構造を構成する共通の 2 本の第 1 の環状 STI 7 6 a 及び第 2 の環状 STI 7 6 b によって区画された素子形成領域内の p 型シリコン基板 7 7 に PNP バイポーラトランジスタ 7 8 を備える。

【 0 0 4 1 】

PNP バイポーラトランジスタ 7 8 を素子分離する浅溝型素子分離構造は、コレクタを構成する p 型ウエル 8 0 (コレクタ・ウエル 8 0) を取り囲む n 型ウエル 8 2 の領域を区画する第 1 の STI 7 6 a とその外側の第 2 の STI 7 6 b とで構成されている。

そして、第 1 の STI 7 6 a と第 2 の STI 7 6 b との間の全領域にわたり、p n 接合分離の拡散層として機能する環状 p 型ウエル 7 9 が、n 型ウエル 8 2 の

周囲を取り囲むようにシリコン基板 7 7 に形成されている。

第 1 の S T I 7 6 a で区画された素子形成領域の n 型ウエル 8 2 内には、p 型ウエル 8 0 (コレクタ・ウエル 8 0) と、p 型ウエル 8 0 の上部に形成された n 領域からなるベース領域 8 4 と、ベース領域 8 4 の上部に形成された p^+ 領域からなるエミッタ領域 8 6 と、エミッタ領域 8 6 の周りのベース領域 8 4 に設けられ、 n^+ 領域からなるベース電極引き出し領域 8 8 とが形成されている。

【0 0 4 2】

p 型ウエル 8 2 の上縁部には、 p^+ 領域からなるコレクタ電極引き出し領域 9 0 が成され、かつ、第 1 の S T I 7 6 a の内側に延在する第 1 内側 S T I 9 1 によってベース領域 8 4、エミッタ領域 8 6、ベース電極引き出し領域 9 0 から電氣的に分離されている。

また、p 型ウエル 8 0 の領域は、第 1 の S T I 7 6 a の内側に延在する第 2 内側 S T I 9 2 によって n 型ウエル 8 2 の領域から区画されている。

【0 0 4 3】

ベース電極引き出し領域 8 8、エミッタ領域 8 6 及びコレクタ電極引き出し領域 9 0 には、それぞれ、ベース電極 9 3、エミッタ電極 9 4 及びコレクタ電極 9 5 が設けられている。

ベース電極 9 3 及びコレクタ電極 9 5 は、それぞれ、 $CoSi_2$ 、 $TiSi_2$ 等のシリサイド層で形成されている。エミッタ電極 9 4 は、ポリシリコン層 9 4 a とシリコン酸化膜 9 4 b の 2 層構造で形成され、2 層構造の周りにシリコン酸化膜からなるサイドウォール 9 4 c を備えている。

また、第 1 の S T I 7 6 a と第 2 の S T I 7 6 b との間の p 型ウエル 7 9 の上面及び第 2 内側 S T I 9 2 と第 1 の S T I 7 6 a との間の n 型ウエル 8 2 の上面には、ベース電極 9 3 及びコレクタ電極 9 5 と同じシリサイド層 9 6 が、ダミーとして全面に形成されている。

【0 0 4 4】

実施形態例 4

本実施形態例は、本発明に係る半導体装置の実施形態の更に別の例であって、図 9 は本実施形態例の半導体装置の平面図である。

本実施形態例の半導体装置 97 は、実施形態例 1 の半導体装置 10 の NPN バイポーラトランジスタ 12 を素子分離する浅溝型素子分離構造の構成を除いて、実施形態例 1 の半導体装置 10 の NPN バイポーラトランジスタ 12 と同じ構成を備えている。

本実施形態例の半導体装置 97 の浅溝型素子分離構造は、図 9 に示すように、NPN バイポーラトランジスタ 12 のコレクタを構成する n 型ウエル 22 (コレクタ・ウエル 22) の領域を区画する第 1 の STI 98 a と、その外側の第 2 の STI 98 b と、更に外側の第 3 の STI 98 c とで構成されている。

【0045】

そして、第 1 の STI 98 a と第 2 の STI 98 b との間の領域のシリコン基板 18、及び第 2 の STI 98 b と第 3 の STI 98 c との間の領域のシリコン基板 18 には、それぞれ、pn 接合分離の拡散層として機能する断続的な第 1 の環状 p 型ウエル 99 a 及び第 2 の環状 p 型ウエル 99 b がコレクタ・ウエル 22 の周囲を取り囲むように形成されている。

但し、第 1 の環状 p 型ウエル 99 a の断続部は、半導体装置 97 のエミッタ電極 36 を中心にして放射状に見たとき、第 2 の環状 p 型ウエル 99 b の断続部と重ならないようになっている。

【0046】

【発明の効果】

本発明によれば、特定した第 1 の浅溝の素子分離溝及び第 1 の素子分離溝の外側に設けられた浅溝型素子分離溝と、第 1 の素子分離溝から外側の素子分離溝まで全間隔にわたり、ウエル・コレクタの周囲を連続して、又は断続して取り囲んでシリコン基板に設けられている、コレクタ・ウエルと反対の導電型の pn 分離用ウエルとで、バイポーラトランジスタを素子分離する浅溝型素子分離構造を構成することにより、素子分離領域のディッシングを防止し、かつバイポーラトランジスタのコレクタ・ウエルの深さ方向の電气的分離を確実にしている。

【図面の簡単な説明】

【図 1】

実施形態例 1 の半導体装置の要部、即ち NPN バイポーラトランジスタの構成

を示す平面図である。

【図 2】

実施形態例 1 の半導体装置の断面図である。

【図 3】

図 3 (a) から (c) は、それぞれ、実施形態例 1 の半導体装置を作製する際の工程毎の断面図である。

【図 4】

図 4 (d) から (f) は、それぞれ、図 3 (c) に続いて、実施形態例 1 の半導体装置を作製する際の工程毎の断面図である。

【図 5】

実施形態例 2 の半導体装置の平面図である。

【図 6】

実施形態例 2 の半導体装置の断面図である。

【図 7】

実施形態例 3 の半導体装置の平面図である。

【図 8】

実施形態例 3 の半導体装置の断面図である。

【図 9】

実施形態例 4 の半導体装置の平面図である。

【図 1 0】

N P N バイポーラトランジスタの平面図である。

【図 1 1】

図 1 0 の線 I - I での断面図である。

【図 1 2】

図 1 2 (a) から (c) は、それぞれ、S T I により素子分離する際の各工程の基板断面図である。

【図 1 3】

図 1 3 (d) から (f) は、それぞれ、図 1 2 (c) に続いて、S T I により素子分離する際の各工程の基板断面図である。

【図 1 4】

図 1 4 (a) 及び (b) は、それぞれ、CMP によりディッシングが生じる様子を説明する図である。

【図 1 5】

図 1 5 (a) 及び (b) は、それぞれ、従来の浅溝型素子分離により生じる問題を説明する図である。

【図 1 6】

図 1 5 (a) 及び (b) は、それぞれ、従来技術を改良した浅溝型素子分離構造を適用した半導体装置の平面図及び断面図である。

【図 1 7】

従来技術を改良した浅溝型素子分離構造を適用した半導体装置で生じる問題を説明する平面図である。

【図 1 8】

従来技術を改良した浅溝型素子分離構造を適用した半導体装置で生じる問題を説明する断面図である。

【符号の説明】

- 1 0 実施形態例 1 の半導体装置
- 1 2 NPN バイポーラトランジスタ
- 1 4 n チャネル MOSFET
- 1 6 p チャネル MOSFET
- 1 8 p 型シリコン基板
- 2 0 a 第 1 の環状 STI
- 2 0 b 第 2 の環状 STI
- 2 1 環状 p n 分離用ウエル
- 2 2 n 型ウエル (コレクタ・ウエル)
- 2 4 ベース領域
- 2 6 エミッタ領域
- 2 8 ベース電極引き出し領域
- 3 0 内側 STI

- 3 2 コレクタ電極引き出し領域
- 3 4 ベース電極
- 3 6 エミッタ電極
- 3 6 a ポリシリコン層
- 3 6 b シリコン酸化膜
- 3 6 c サイドウォール
- 3 8 コレクタ電極
- 3 9 シリサイド層
- 4 0 p型ウエル
- 4 2 ゲート酸化膜
- 4 4 ゲート電極
- 4 4 a ポリシリコン層
- 4 4 b シリサイド層
- 4 4 c サイドウォール
- 4 6 ソース／ドレイン領域
- 4 7 ソース／ドレイン電極
- 4 8 n型ウエル
- 5 0 ゲート電極
- 5 0 a ポリシリコン層
- 5 0 b シリサイド層
- 5 0 c サイドウォール
- 5 2 ソース／ドレイン領域
- 5 3 ソース／ドレイン電極
- 5 6 ポリシリコン層
- 5 8 第1のLDD酸化膜
- 6 0 窓
- 7 0 実施形態例2の半導体装置
- 7 2 A、B NPNバイポーラトランジスタ
- 7 4 実施形態例3の半導体装置

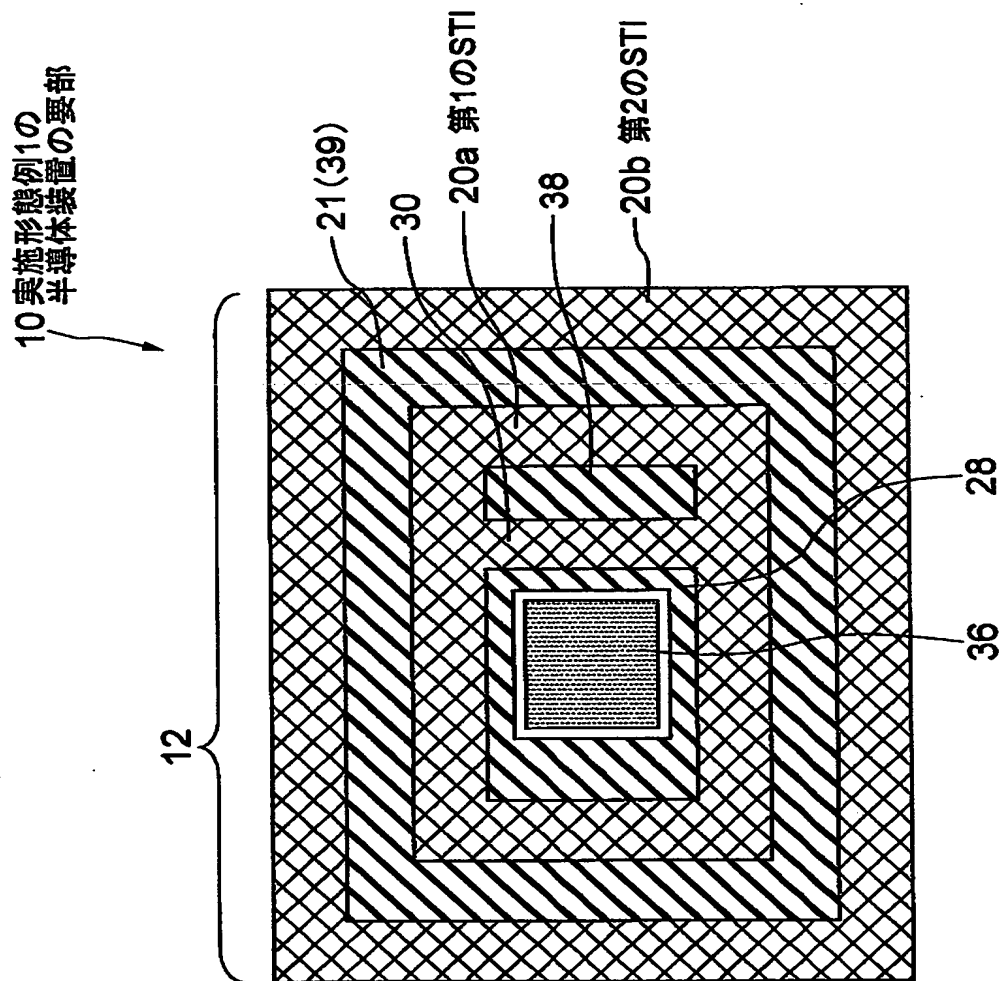
- 7 6 a 第 1 の環状 S T I
- 7 6 b 第 2 の環状 S T I
- 7 7 p 型シリコン基板
- 7 8 P N P バイポーラトランジスタ
- 8 0 p 型ウエル (コレクタ・ウエル)
- 8 2 n 型ウエル
- 8 4 ベース領域
- 8 6 エミッタ領域
- 8 8 ベース電極引き出し領域
- 9 0 コレクタ電極引き出し領域
- 9 1 第 1 内側 S T I
- 9 2 第 2 内側 S T I
- 9 3 ベース電極
- 9 4 エミッタ電極
- 9 4 a ポリシリコン層
- 9 4 b シリコン酸化膜
- 9 4 c サイドウォール
- 9 5 コレクタ電極
- 9 6 シリサイド層
- 9 7 実施形態例 4 の半導体装置
- 9 8 a 第 1 の S T I
- 9 8 b 第 2 の S T I
- 9 8 c 第 3 の S T I
- 9 9 a 第 1 の環状 p 型ウエル
- 9 9 b 第 2 の環状 p 型ウエル
- 1 0 0 半導体装置
- 1 0 2 p 型シリコン基板
- 1 0 4 A、B N P N バイポーラトランジスタ
- 1 0 6 L O C O S

- 1 0 7 n型ウエル
- 1 0 8 ベース領域
- 1 1 0 エミッタ領域
- 1 1 2 ベース電極引き出し領域
- 1 1 4 コレクタ領域
- 1 1 6 ベース電極
- 1 1 8 エミッタ電極
- 1 1 8 a ポリシリコン層
- 1 1 8 b シリコン酸化膜
- 1 1 8 c サイドウォール
- 1 2 0 コレクタ電極
- 1 2 2 p型ウエル
- 1 3 0 狭幅のSTI 1
- 1 3 2 ダミー拡散層
- 1 3 4 シリサイド層

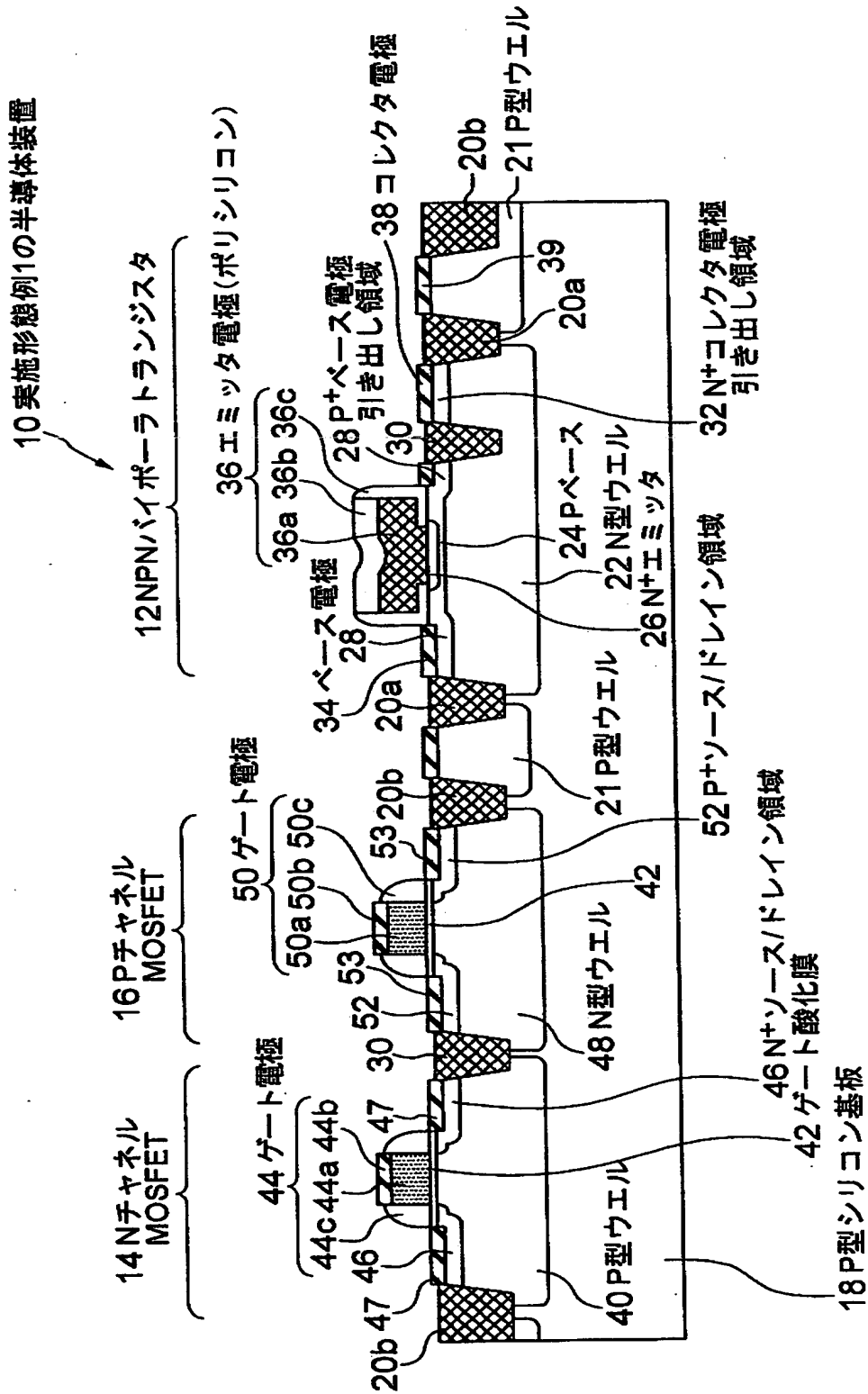
【書類名】

図面

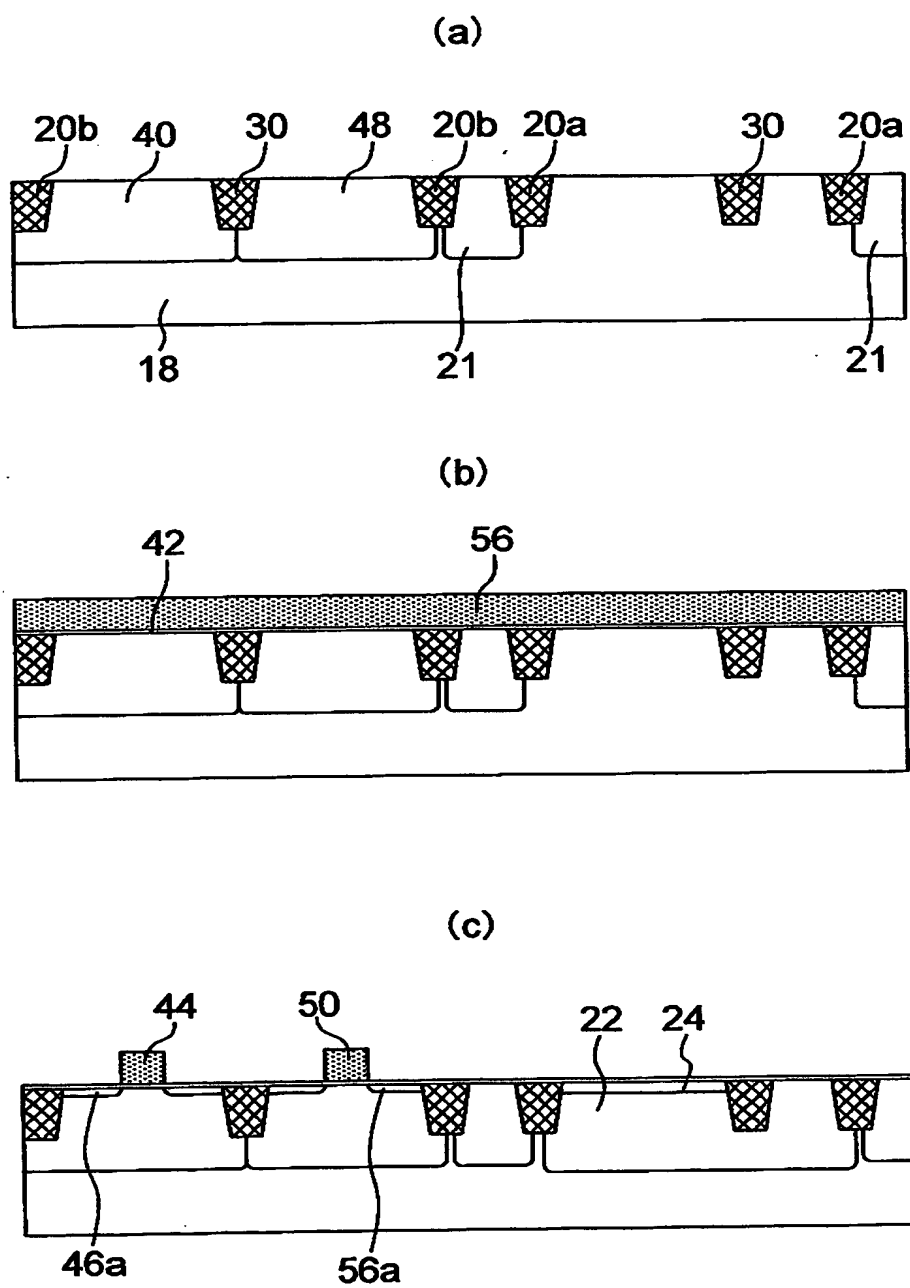
【図 1】



【図 2】

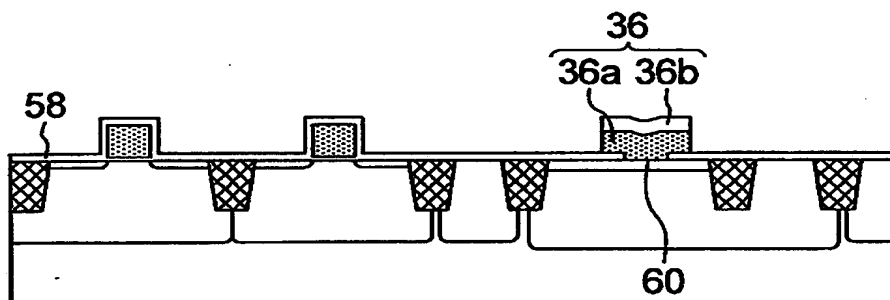


【図 3】

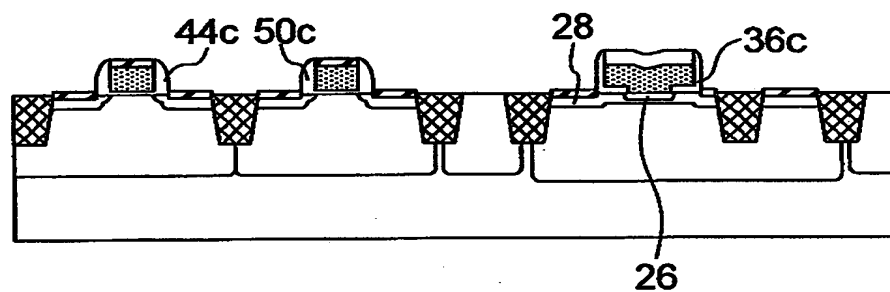


【図 4】

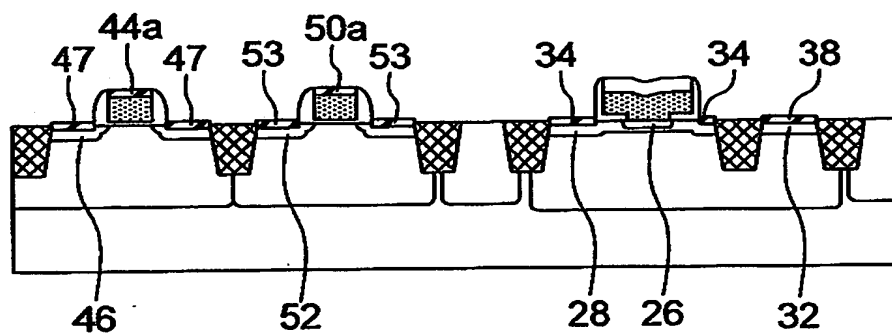
(d)



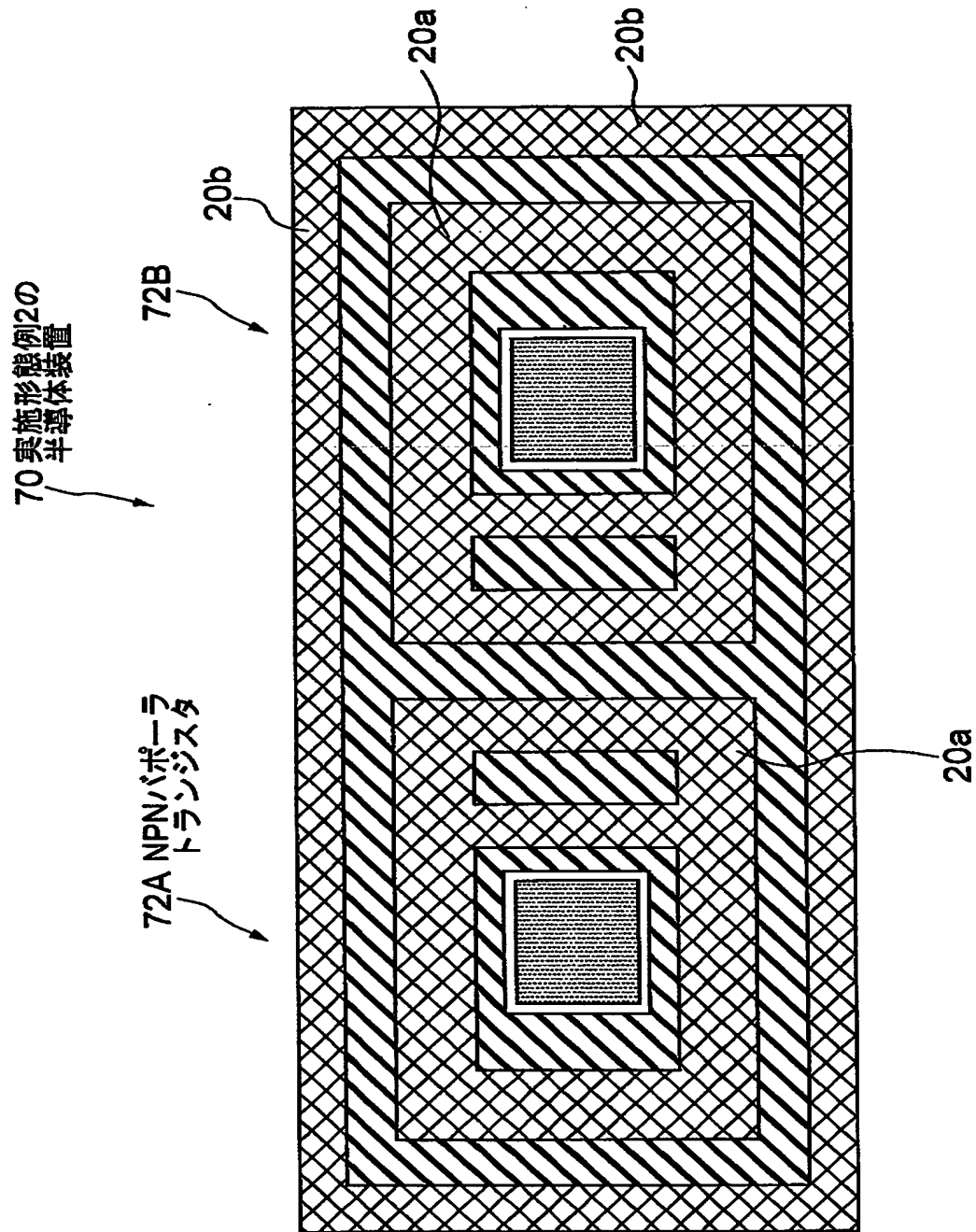
(e)



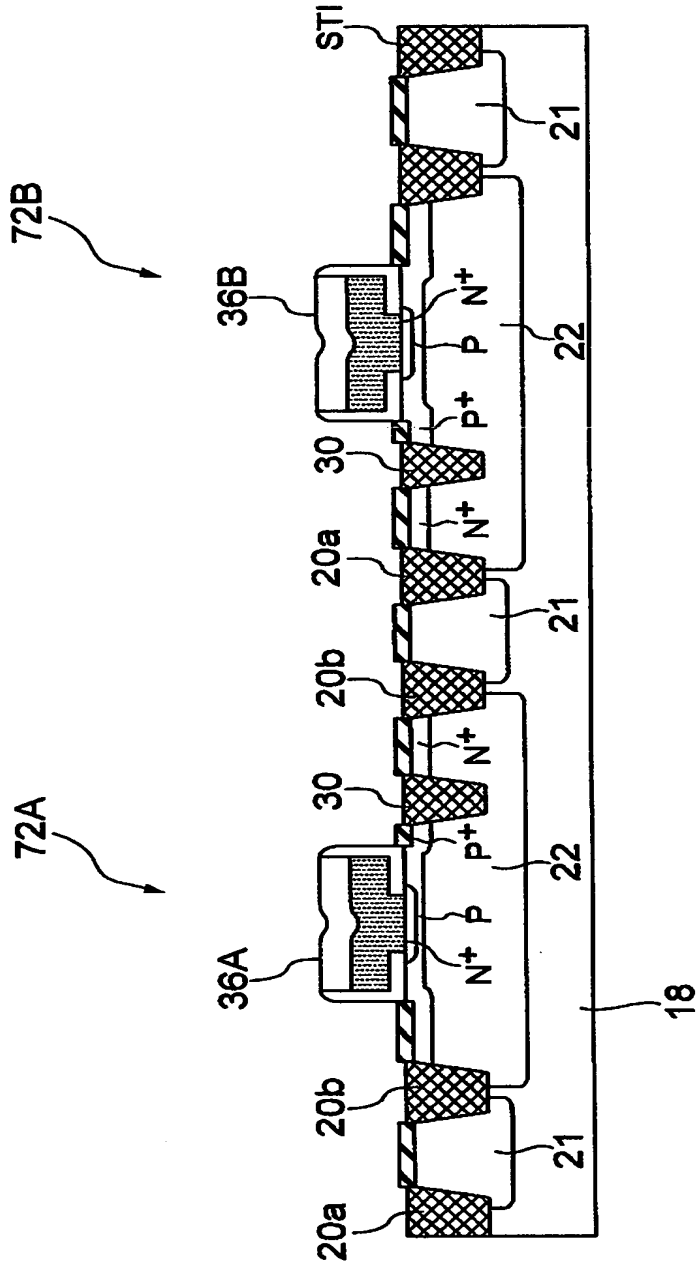
(f)



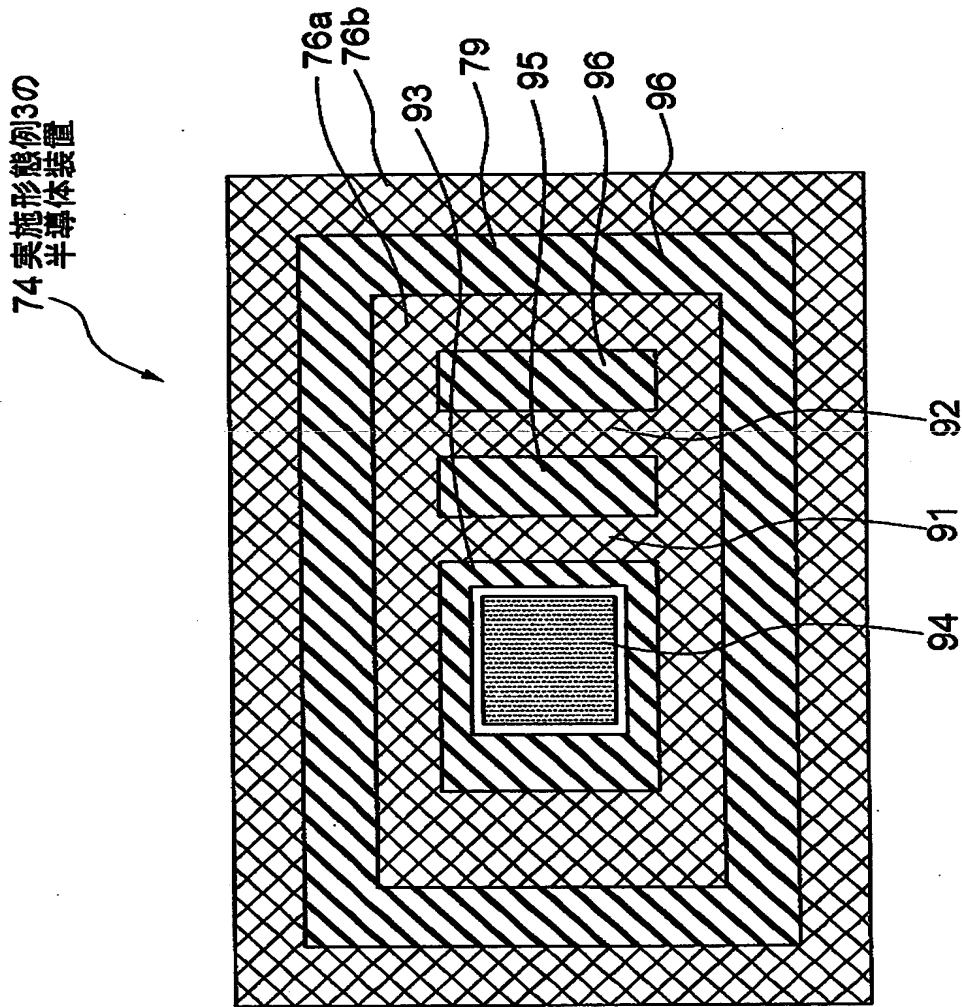
【図 5】



【図 6】

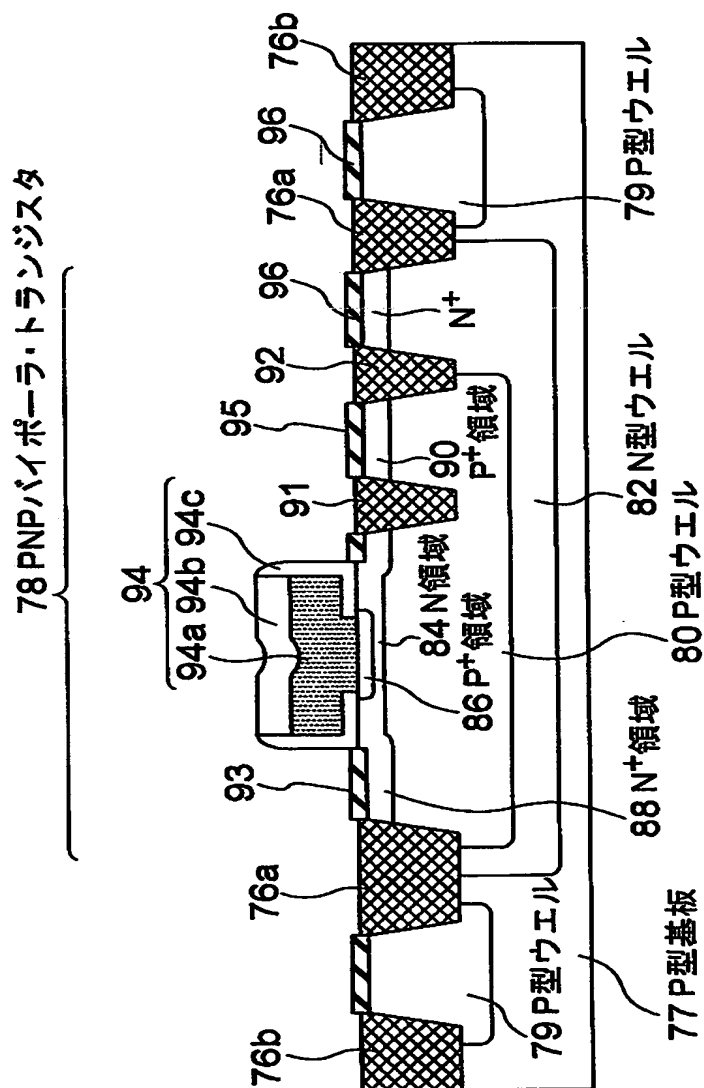


【図 7】



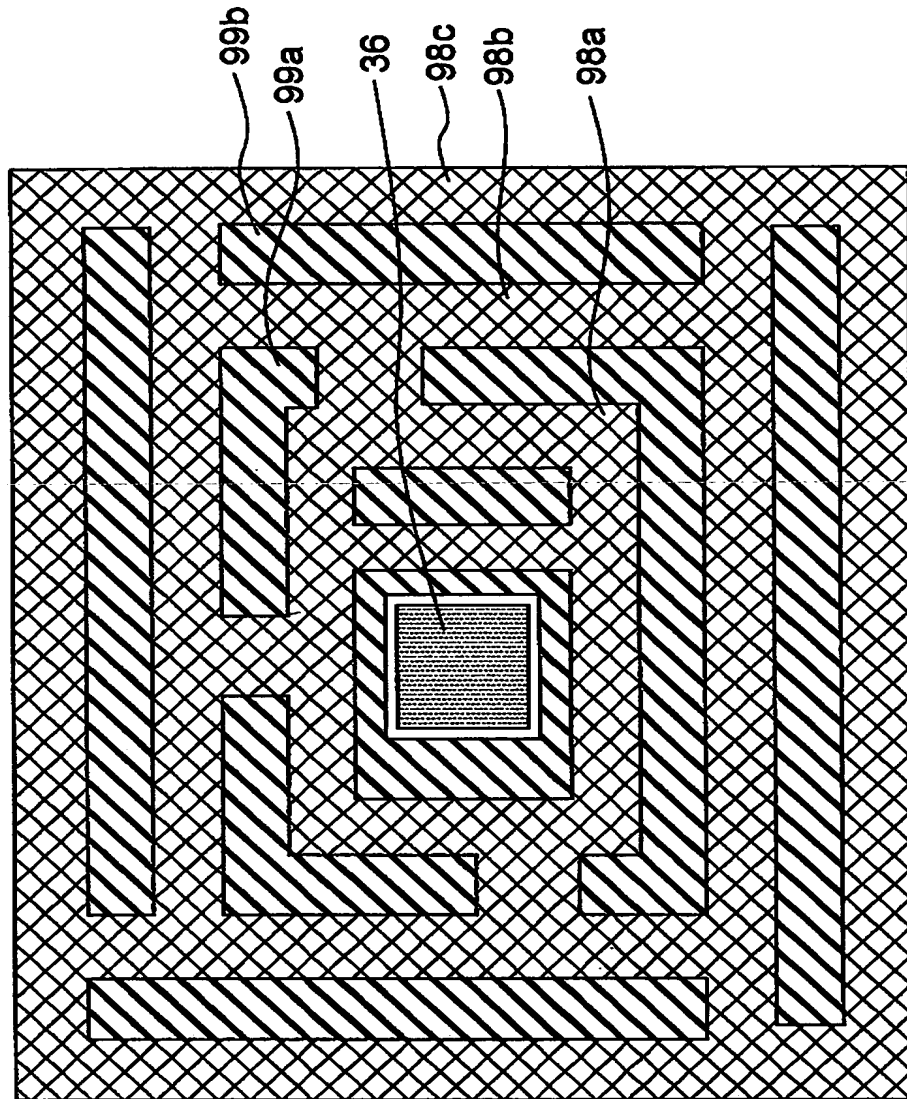
【图 8】

74 実施形態例3の半導体装置

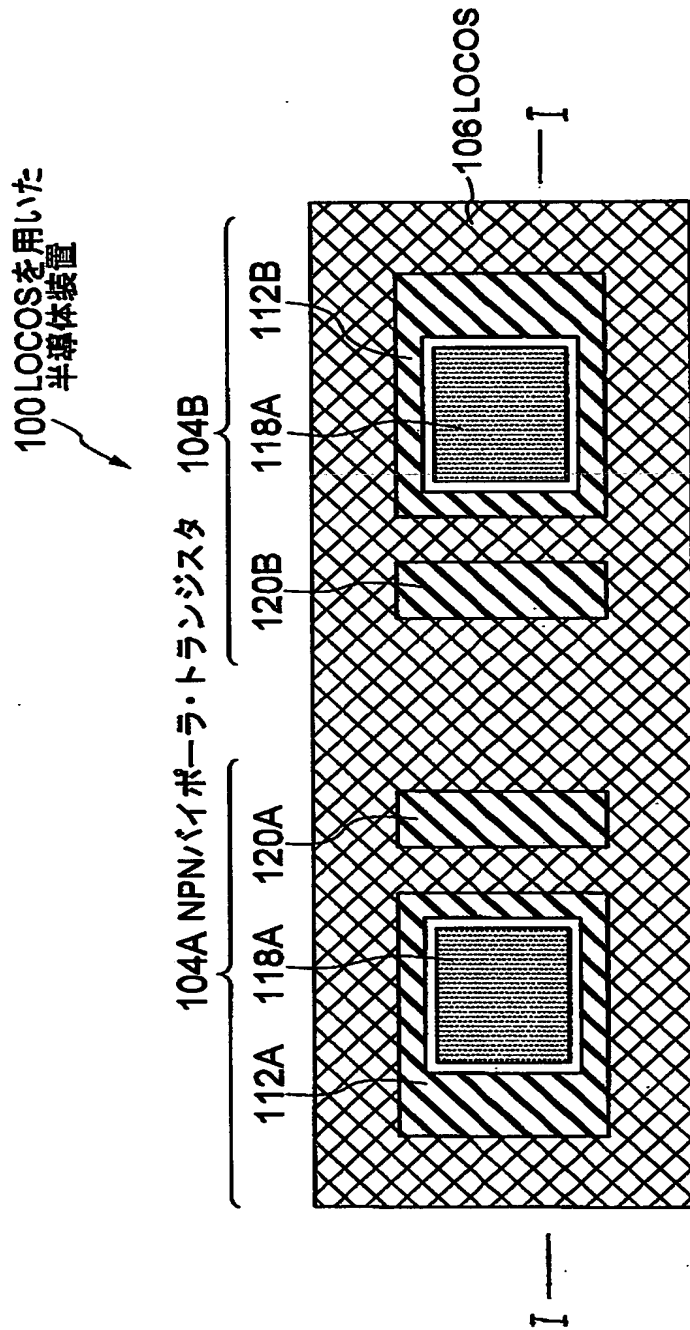


【図 9】

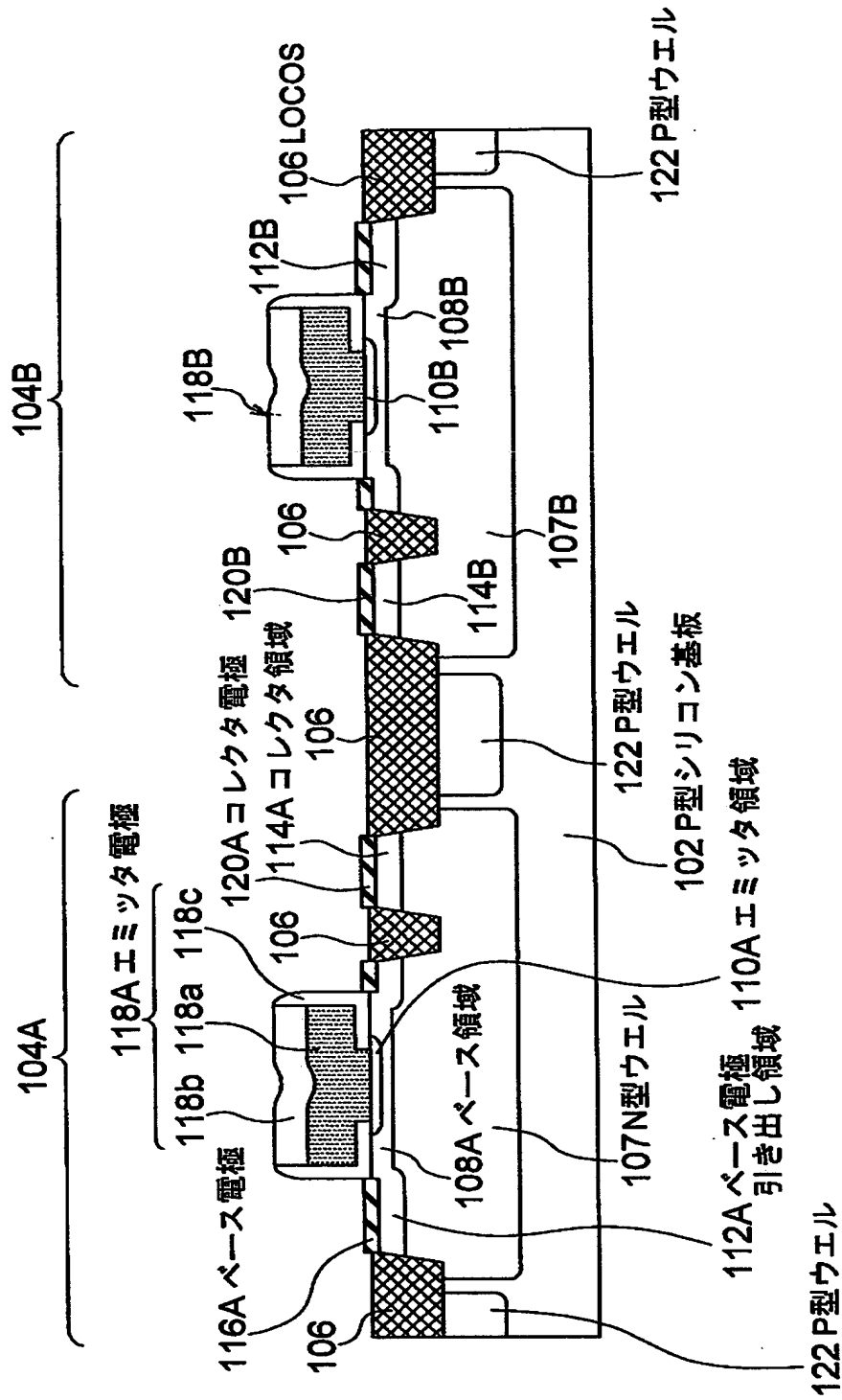
97 実施形態例4の
半導体装置



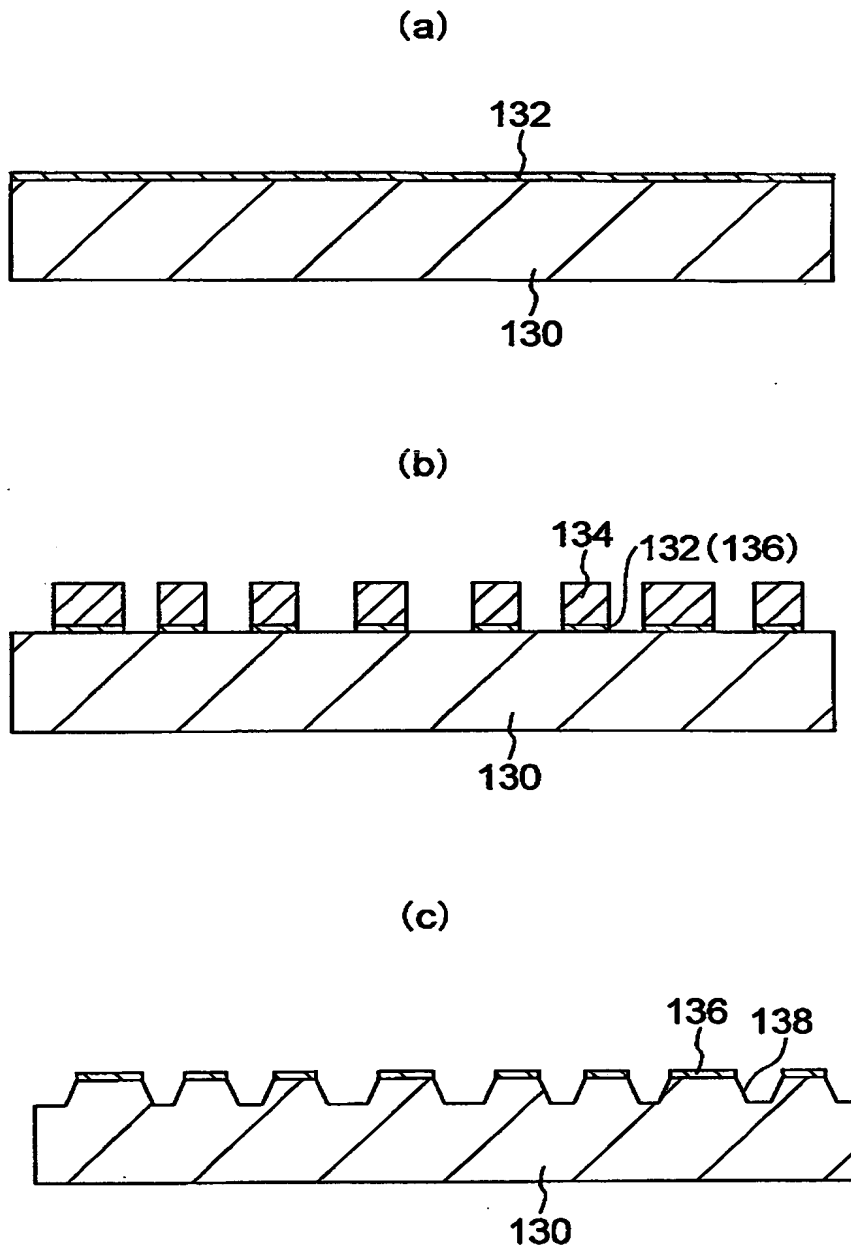
【図 1 0】



【図 1 1】

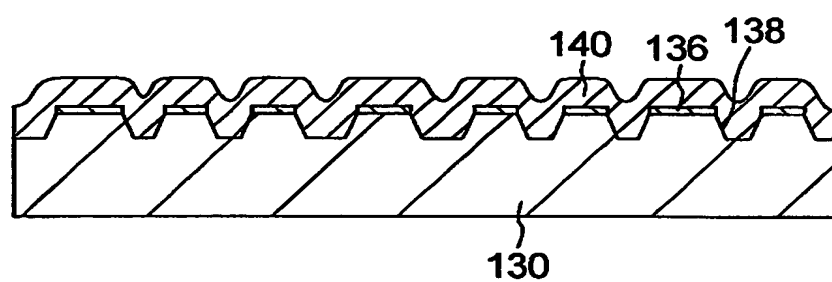


【図 1 2】

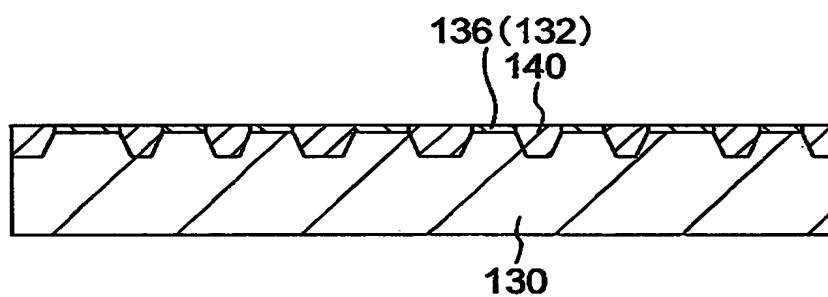


【図 1 3】

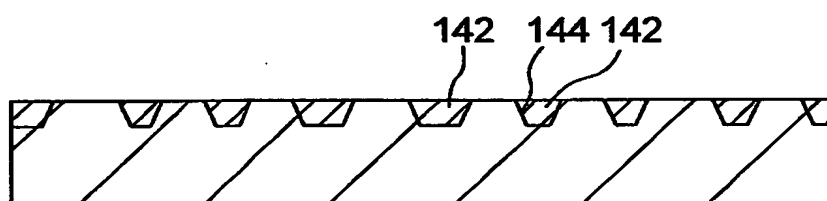
(d)



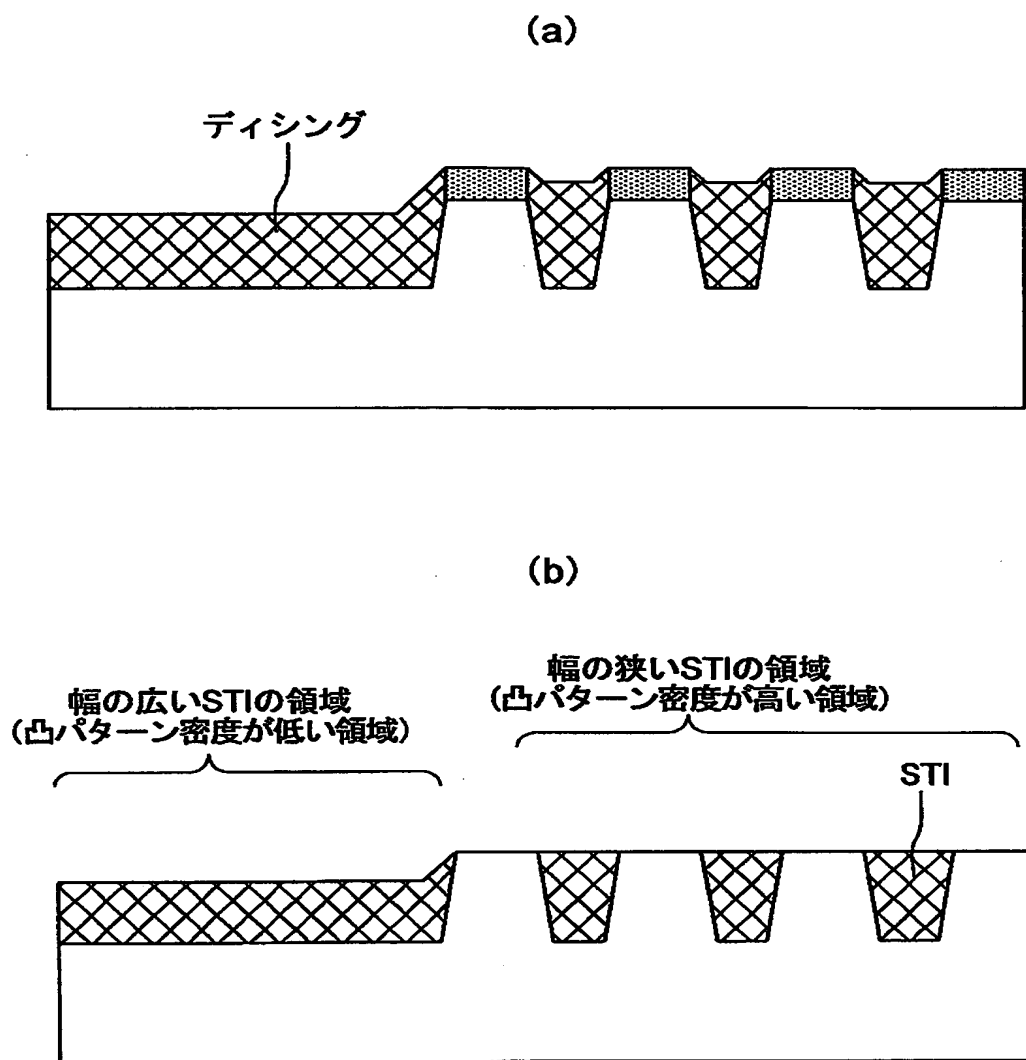
(e)



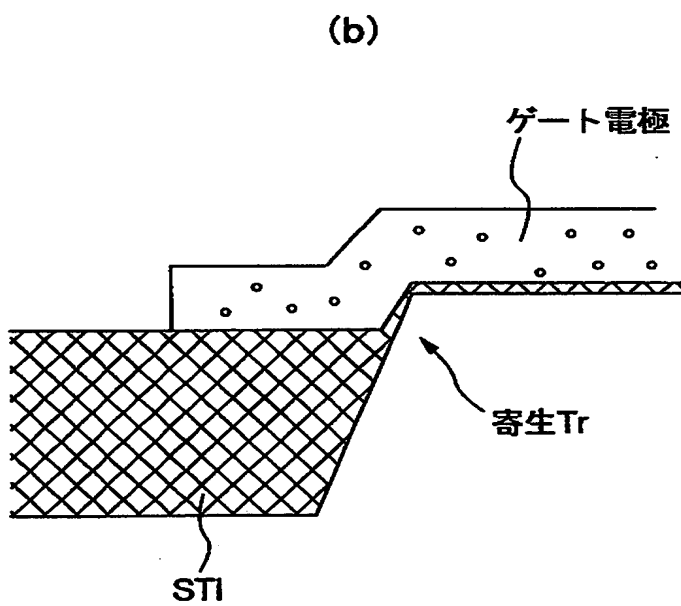
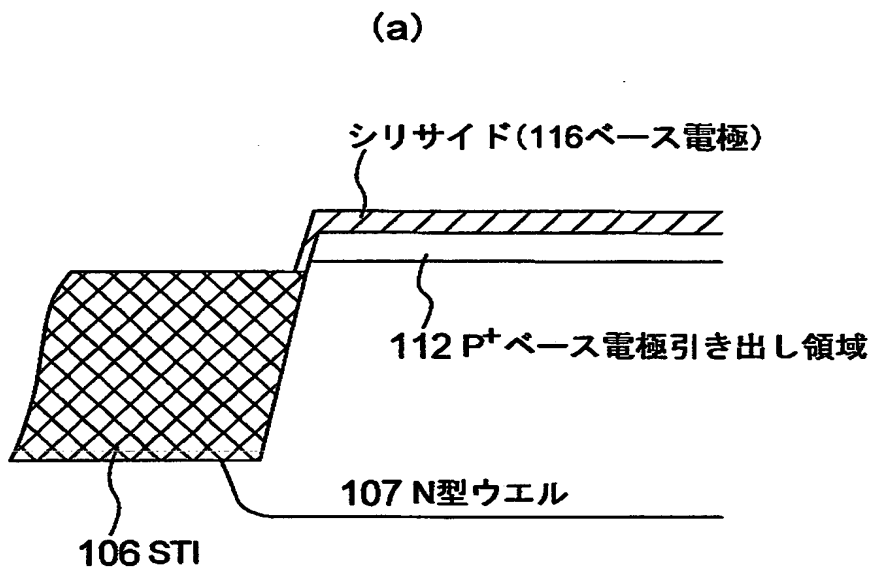
(f)



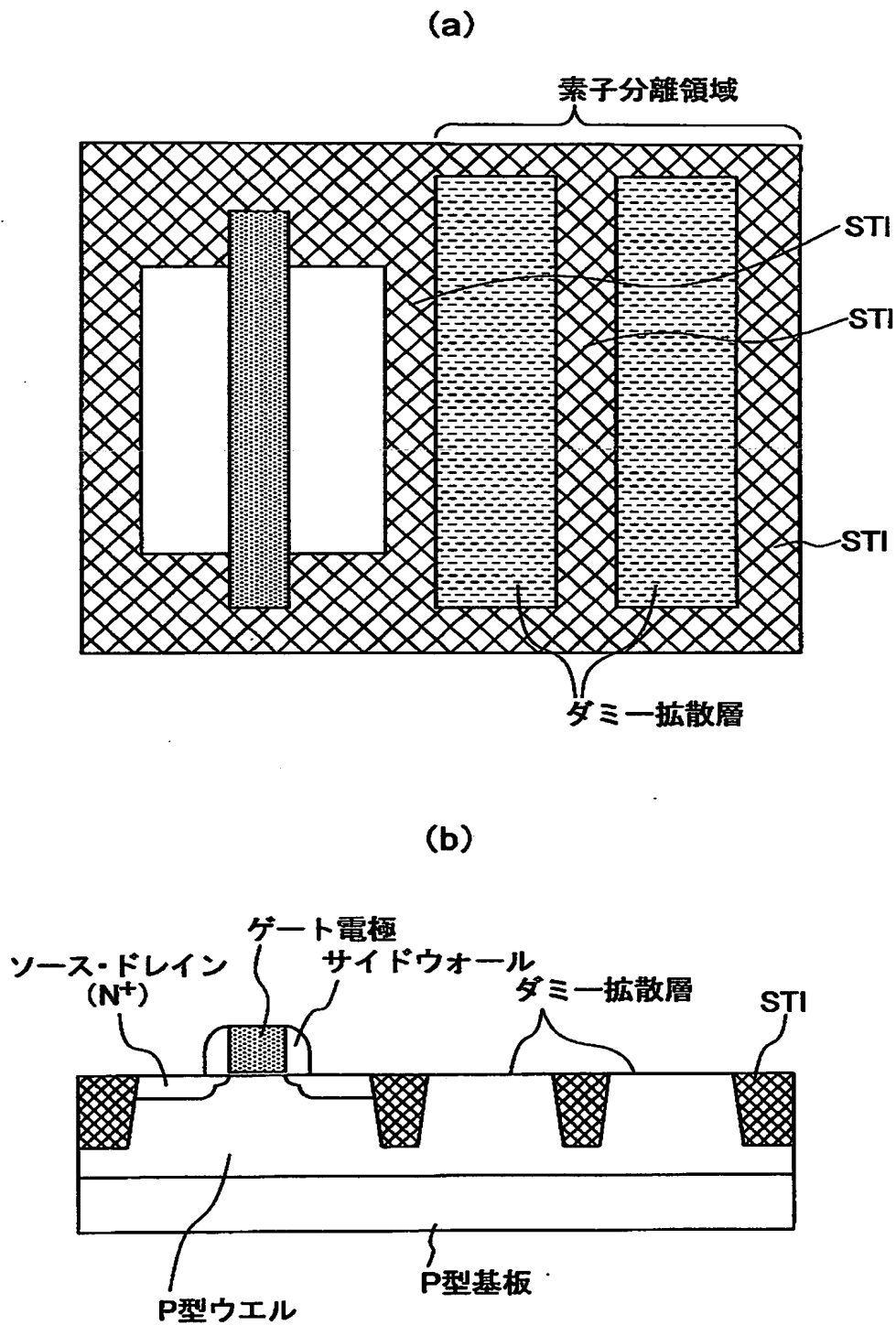
【図 1 4】



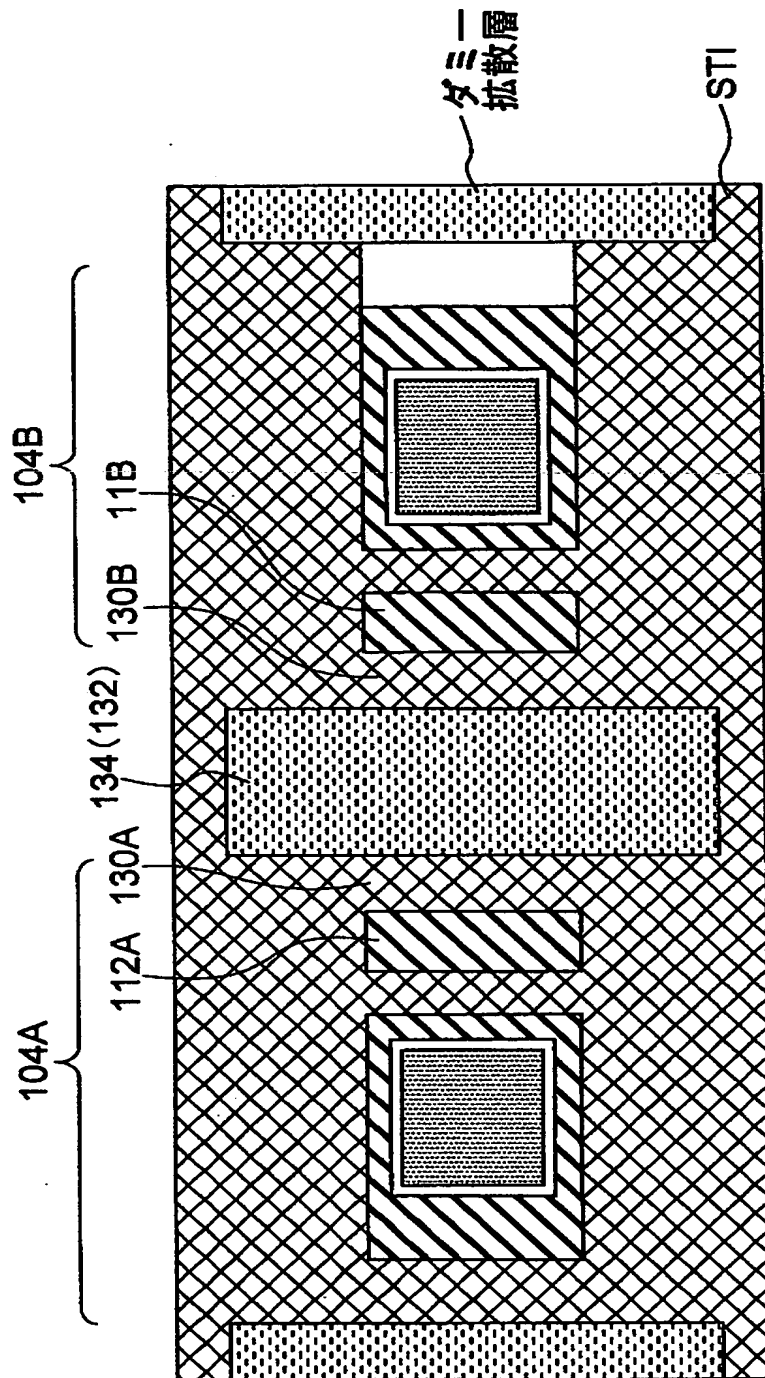
【図 1 5】



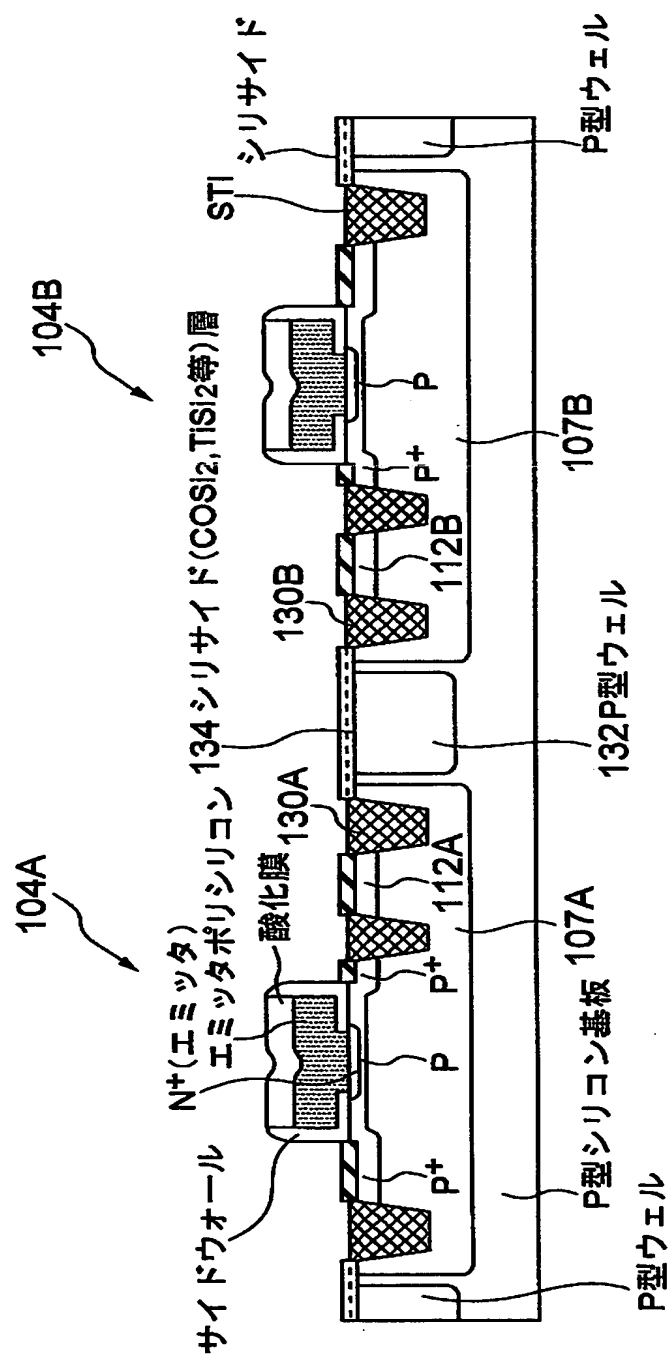
【図 1 6】



【図 1 7】



【圖 18】



【書類名】 要約書

【要約】

【課題】 浅溝型素子分離構造により素子分離した半導体装置にあって、ディッシングが素子分離領域に生じないように構成を備えた半導体装置を提供する。

【解決手段】 本半導体装置 1 0 は、浅溝型素子分離構造によって素子分離されたバイポーラトランジスタ 1 2 をシリコン基板 1 8 に備えた半導体装置である。バイポーラトランジスタを素子分離する浅溝型素子分離構造が、バイポーラトランジスタのコレクタを構成するコレクタ・ウエル 2 2 の領域を区画する第 1 の浅溝の素子分離溝 2 0 a と、第 1 の素子分離溝の外側に離隔して設けられた第 2 の浅溝の素子分離溝 2 0 b とを有する。コレクタ・ウエルと反対の導電型の p n 分離用ウエル 2 1 が、第 1 の素子分離溝から第 2 の素子分離溝まで全間隔にわたり、ウエル・コレクタの周囲を連続して取り囲むようにシリコン基板に設けられている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社